

ТЕПЛОВОЕ МОДЕЛИРОВАНИЕ И ОПТИМИЗАЦИЯ ТОПОЛОГИИ GaN ИНТЕГРАЛЬНОЙ СХЕМЫ ПОЛУМОСТА С ДРАЙВЕРОМ УПРАВЛЕНИЯ И СИЛОВЫМИ ТРАНЗИСТОРАМИ

© 2024 г. В. А. Кагадей^{1, 2}, И. Ю. Кодорова^{1, 2, *}, Е. С. Полынецв^{1, 2}

¹АО “НПП Радар ммс”, Санкт-Петербург, Россия

²Национальный исследовательский Томский государственный университет,
Томск, Россия

*E-mail: irina_tusur@mail.ru

Поступила в редакцию 24.11.2023 г.

После доработки 14.03.2024 г.

Принята к публикации 25.03.2024 г.

В работе представлены результаты теплового моделирования кристалла монолитной интегральной схемы (ИС) полумоста с драйвером управления и нормально закрытыми силовыми транзисторами с высокой подвижностью электронов, выполненного на гетероструктуре нитрид галлия — кремний-на-диэлектрике (GaN-on-Si-on-Insulator, GaN-on-SOI). Показано, что основным источником тепла в ИС являются выходные силовые GaN транзисторы, тепло от которых, распространяясь по объему кристалла, приводит к нагреву логического блока ИС, а также увеличению температуры блока драйверов. Нагрев силовых транзисторов приводит к росту сопротивления их канала, что ведет к падению выходного тока ИС. Нагрев блока драйверов уменьшает ток его транзисторов и, как следствие, увеличивает время переключения выходных силовых GaN транзисторов. Нагрев логического блока ИС приводит к росту длительности фронтов формируемых сигналов управления, что ухудшает динамические характеристики ИС. Сравнительный анализ распространения тепла для кристаллов ИС на основе гетероструктур GaN-on-SOI и GaN-on-Si показал, что в направлении к обратной стороне кристалла структура GaN-on-SOI имеет удельное тепловое сопротивление примерно на 40% большее, чем структура GaN-on-Si. При этом удельное тепловое сопротивление в направлении распространения тепла от горячей зоны транзистора к обратной стороне кристалла у структуры GaN-on-SOI почти на два порядка величины больше, чем в направлении его распространения к лицевой стороне кристалла. Полученные результаты были использованы для оптимизации топологии расположения функциональных блоков GaN-on-SOI ИС, а также для введения дополнительных топологических элементов, способствующих распределению и отводу тепла с лицевой поверхности кристалла.

Ключевые слова: силовая GaN электроника, GaN интегральная схема, E-mode GaN-on-SOI НЕМТ, тепловое моделирование, топология интегральных схем

DOI: 10.31857/S0544126924030037

1. ВВЕДЕНИЕ

В настоящее время нитрид галлия (GaN) рассматривается как один из перспективных материалов силовой микроэлектроники. Актуальность применения силовых транзисторов и монолитных интегральных схем (ИС) на основе GaN обусловлена улучшенными, по сравнению с кремниевыми приборами, электрофизическими характеристиками материала. GaN имеет большую ширину запрещенной зоны, более высокие электрическую прочность и скорость дрейфа электронов в режиме насыщения [1–3]. Силовые транзисторы на основе гетероструктур AlGaN/GaN обладают низким сопротивлением в открытом состоянии, высокой скоростью переключения, уменьшенными

размерами, а также повышенными рабочей температурой и радиационной стойкостью [4]. Переход на GaN сопровождается появлением ряда новых барьеров, без преодоления которых невозможно обеспечить надежную работу устройств силовой GaN электроники. Например, уменьшение размеров кристаллов GaN транзисторов по отношению к Si транзисторам с аналогичными электрическими характеристиками ведет к росту удельного теплового выделения и требует разработки оригинальных методов эффективного отвода тепла от горячей зоны GaN транзистора [25].

Сегодня на основе нормально закрытых GaN транзисторов с высокой подвижностью электронов (E-mode GaN НЕМТ) создаются преобразователи электрической энергии, имеющие рекордно

высокую удельную мощность как на единицу массы, так и на единицу объема, а также предельно высокие коэффициент полезного действия (до 99%) и частоту преобразования (0.5–2 МГц) [5]. Для управления силовыми E-mode GaN HEMT в составе преобразователей электрической энергии используются специализированные высокоскоростные затворные драйверы, которые призваны обеспечить необходимую частоту коммутации, а также снижение управляющего напряжения с типичного уровня –20–20 В, используемого для силовых Si приборов, до уровня –10–7 В, необходимого для управления силовыми GaN HEMT. Кроме того, для достижения низкого уровня коммутационных потерь на высоких частотах принимаются специальные меры, направленные на минимизацию величин паразитных емкостей и индуктивностей проводников, соединяющих драйвер с силовыми транзисторами. Для этого драйвер располагают как можно ближе к затвору силового транзистора, что сокращает до минимума длину соединительного проводника и, как следствие, его индуктивность. Для решения этой задачи обычно используют гибридную или монокристаллическую интеграцию электронных компонентов.

Примером гибридной гетероинтеграции является микросхема серии MASTERGAN от компании ST Microelectronics [6], где в одном корпусе размещены кристаллы Si драйвера и силовых GaN транзисторов с проволочными межсоединениями. Монокристаллическая интеграция силового GaN полумоста и GaN драйвера управления обеспечивает более короткие межсоединения и позволяет достичь рекордно низких паразитных параметров и, как следствие, более высоких значений коэффициента полезного действия преобразователей энергии [1]. Примером такой монокристаллической интеграции может служить GaN ИС, включающая одноканальный драйвер и силовой транзистор, изготовленная на основе GaN-on-Si гетероструктуры [10], а также GaN ИС драйвера управления и силовых E-mode GaN HEMTs, выполненная в полумостовой конфигурации на основе гетероструктуры кремний-на-диэлектрике (GaN-on-Si-on-Insulator, GaN-on-SOI) [11, 13].

При всех своих преимуществах силовые GaN ИС пока не получили широкого распространения. Это обусловлено отсутствием полного набора элементов, необходимых для построения многофункциональной ИС, в частности, комплементарной пары логических GaN транзисторов [26], а также недостаточным развитием технологий изготовления силовых GaN ИС. Другие сдерживающие факторы связаны с необходимостью подавления влияния back-gating эффекта на работу ИС, а также с требованием минимизации влияния роста удельного тепловыделения в GaN кристалле на электрические характеристики ИС [24].

Действие back-gating эффекта в ИС приводит к перекрестному влиянию друг на друга сигналов, протекающих по разным цепям, что обусловлено наличием электрической связи по границе раздела GaN буфер – Si подложка. Данная связь осуществляется в гетероструктурах GaN-on-Si за счет захвата инжектированных электронов глубокими ловушками, расположенными в буферном слое, формирования отрицательного объемного заряда и частичного истощения слоя двумерного электронного газа в канале транзисторов [7, 24]. Для решения данной проблемы в Межуниверситетском микроэлектронном центре (Interuniversity Microelectronics Centre, IMEC) был предложен подход, основанный на выращивании слоев GaN на пластинах GaN-on-SOI и применении изоляции транзисторов ИС с помощью глубоких тренчей, заполненных диэлектриком (Deep Trench Isolation, DTI). Все это позволило значительно подавить back-gating эффект [18].

Характерное для кристаллов силовых GaN HEMT (по сравнению с кристаллами Si транзисторов) существенное уменьшение размеров при сохранении коммутируемой электрической мощности приводит к росту удельной мощности тепловыделения в области затвора силового транзистора. Это усиливает тепловые эффекты, такие как саморазогрев (self-heating) и взаимный разогрев (mutual-heating) элементов в кристалле ИС [14, 22]. С учетом того, что на подвижность носителей заряда в двумерном электронном газе оказывает влияние рассеяние на фононах, электрические параметры GaN HEMT обладают выраженной температурной зависимостью [20]. Применение вместо гетероструктуры GaN-on-Si подложек GaN-on-SOI позволяет минимизировать действие back-gating эффекта, но вводит в кристалл дополнительные тепловые сопротивления — расположенный горизонтально отсеченный слой SiO₂, а также вертикально расположенные глубокие тренчи, заполненные SiO₂. Все это выдвигает повышенные требования к топологии расположения элементов в кристалле ИС на основе GaN-on-SOI, а также к организации эффективного теплоотвода от горячих зон кристалла.

К настоящему времени опубликовано крайне мало работ, посвященных тепловому моделированию силовых GaN ИС, изготовленных как на гетероструктурах GaN-on-Si, так и на гетероструктурах GaN-on-SOI. Можно отметить работу [8], в которой на основе оценки тепла, выделяемого GaN HEMT транзисторами, предложено конструктивное решение для микросборки, имеющей характерный размер, соответствующий габаритным размерам кристалла транзистора. В работе [24] исследовано влияние температуры на электрические характеристики GaN HEMT транзисторов. В работе [19] предложен способ подавления эффекта взаимного разогрева элементов в фотонных интегральных схемах. В работе [25] представлен обзор имеющихся на начало

2023 г. технических решений по организации эффективного теплоотвода от горячей зоны кристалла GaN НЕМТ. Решения, реализуемые на уровне полупроводниковой пластины, разбиты на четыре основных класса, среди которых следует отметить два. Первый — это формирование распределителей тепла (дополнительных конструктивных элементов НЕМТ, имеющих высокую теплопроводность) на лицевой стороне кристалла, а второй — на обратной его стороне. Выбор между двумя этими решениями определяется величинами удельного теплового сопротивления между горячей зоной транзистора и лицевой или обратной стороной кристалла.

Ранее нами в работах [16, 17] была разработана ИС полумоста с драйвером управления и силовыми E-mode НЕМТ, выполненная на основе гетероструктуры GaN-on-SOI. Настоящая работа посвящена тепловому моделированию кристаллов силовых GaN-on-SOI ИС, а также применению результатов этого моделирования для оптимизации топологии ИС (положения функциональных блоков ИС друг относительно друга) и для определения мест расположения дополнительных топологических элементов, имеющих высокую теплопроводность и используемых для распределения и отвода тепла от горячей зоны GaN транзисторов.

2. МЕТОДИКА ИССЛЕДОВАНИЯ

Значения средней тепловой мощности, выделяемой транзисторами функциональных блоков GaN ИС при ее работе в составе синхронного понижающего DC-DC преобразователя мощностью 500 Вт, а также исследование влияния температуры кристалла на электрические характеристики функциональных блоков GaN-on-SOI ИС проводилось в системе автоматизированного проектирования (САПР) Cadence Virtuoso (Schematics XL, ADE L, Calculator) с применением верифицированных моделей E-mode GaN НЕМТ из руководства по проектированию GANIC200SOI от IMEC, которое в работах [16, 17] использовалось нами при проектировании ИС.

Схема электрическая принципиальная DC-DC преобразователя с подключенной нагрузкой приведена на рис. 1. Преобразователь был построен на основе GaN ИС полумоста. Питание входной логической части осуществлялось от источника постоянного напряжения $V1$. Вывод EN был соединен с источником питания через резистор $R1$ и обеспечивал включенное состояние GaN ИС полумоста. На вывод REF подавалось опорное напряжение от внешнего источника $V2$. Вносимое время запаздывания между управляющими импульсами (dead time) было установлено на уровне 60 нс с помощью внешнего резистора $R2$, подключенного между выводом DT и общей шиной. Бутстрепный конденсатор $C1$ был подключен между выводом

$CB1$ и OUT . Высоковольтное питание GaN ИС полумоста осуществлялось от источника постоянного напряжения $V3$. К выводу OUT была подключена внешняя индуктивность $L1$, а нагрузкой DC-DC преобразователя служил резистор $R3$. Параллельно нагрузке был подключен фильтрующий конденсатор $C2$. Управляющие импульсы с частотой следования 500 кГц подавались от идеальных импульсных источников напряжения $V4$ и $V5$. Источники выдавали прямоугольные импульсы амплитудой 5 В, управляющие верхним и нижним плечами GaN ИС полумоста. Преобразователь понижал входное напряжение амплитудой 100 В до напряжения 48 В с выходным током 10 А. Моделирование выполнялось при абсолютной температуре GaN ИС полумоста 130°C, при этом было принято допущение, что температура окружающей среды составляет 25°C, а тепловое сопротивление переход — окружающая среда составляет около 5°C/Вт. Подобный режим работы GaN ИС полумоста является наиболее “тяжелым” с точки зрения обеспечения высокого уровня надежности при длительной эксплуатации.

Мгновенная электрическая мощность, выделяемая функциональными блоками ИС, определялась путем перемножения мгновенного падения напряжения ΔU на мгновенный ток I , протекающий через транзисторы каждого из четырех функциональных блоков:

$$P_{\text{мгновенная}} = \Delta U \times I. \quad (1)$$

Полная выделяемая электрическая мощность вычислялась путем интегрирования временной зависимости мгновенной мощности во временном промежутке моделирования, из которого было исключено время выхода на стационарный режим работы, по следующей формуле:

$$P_{\text{полная}} = \int_{t_1}^{t_2} P(t) dt, \quad (2)$$

где t_1 — время выхода на стационарный режим работы; t_2 — время окончания моделирования.

Средняя выделяемая мощность вычислялась путем деления полной мощности на разницу $t_2 - t_1$ по формуле

$$P_{\text{средняя}} = P_{\text{полная}} / (t_2 - t_1). \quad (3)$$

Расчеты мгновенной $P_{\text{мгновенная}}$, полной $P_{\text{полная}}$ и средней $P_{\text{средняя}}$ мощности выполнялись средствами модуля Calculator САПР Cadence Virtuoso.

Моделирование влияния температуры кристалла GaN ИС на электрические характеристики ее функциональных блоков проводилось в температурном диапазоне 25—150°C. При этом считалось, что температура кристалла стационарна

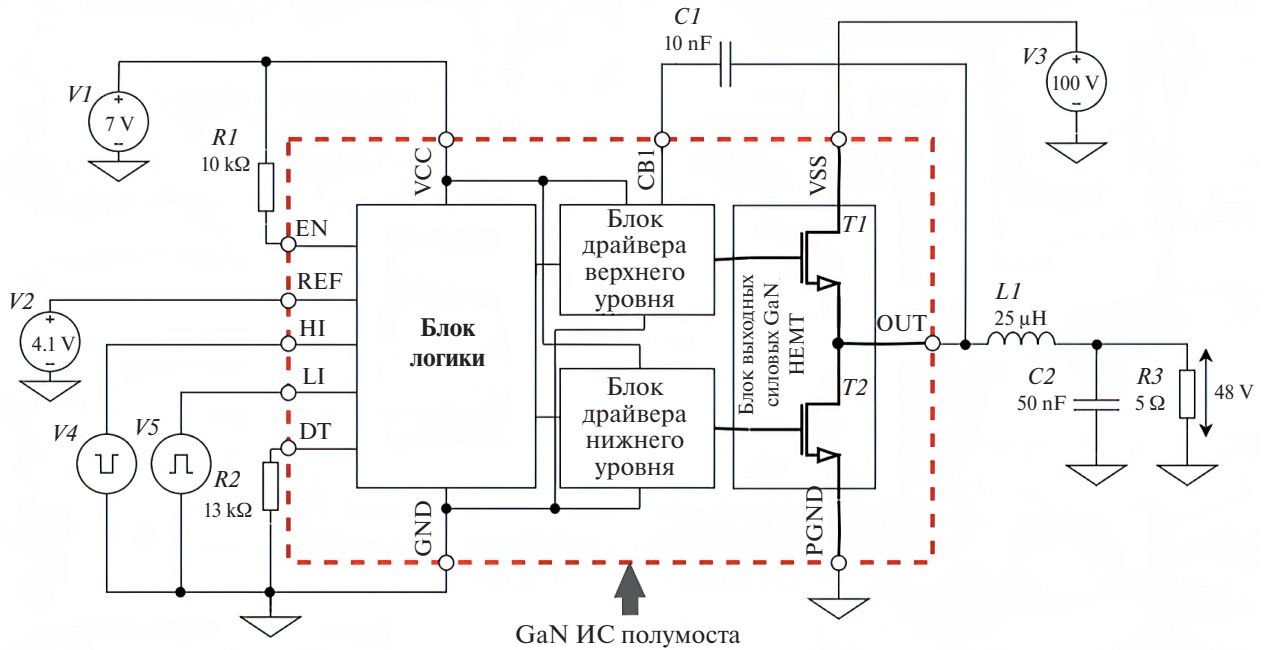


Рис. 1. Схема электрическая принципиальная понижающего DC-DC преобразователя, использованного для теплового моделирования, где функциональные блоки GaN ИС представлены внутри пунктирного прямоугольника.

во времени и одинакова во всем его объеме. Рассчитывались характеристики следующих функциональных блоков ИС:

- блока выходных силовых E-mode GaN HEMT, при этом определялось сопротивление канала транзисторов;
- блока драйверов верхнего и нижнего уровней, при этом определялся выходной ток драйверов;
- блока логического управления, при этом определялась длительность фронтов нарастания и спада импульсы формируемых управляющих логических сигналов.

Расчет удельных тепловых сопротивлений для кристаллов GaN ИС на основе гетероструктур GaN-on-Si и GaN-on-SOI производился для двух направлений распространения тепла вдоль оси Z от горячей зоны транзисторов к лицевой и к обратной стороне кристалла (рис. 2) по следующей формуле [12]:

$$R_{th} = \sum_{i=1}^n \frac{\sigma_i}{\lambda_i}, \quad (4)$$

где R_{th} — удельное тепловое сопротивление; n — количество слоев в гетероструктуре; σ_i и λ_i — толщина и коэффициент теплопроводности i -го слоя; i — порядковый номер слоя в гетероструктуре.

Расчет удельного теплового сопротивления R_{th} проводился в стационарном приближении для одномерной задачи.

Размер кристалла GaN ИС составлял $10 \times 5 \text{ мм}^2$. Конструкция и параметры слоев кристалла на основе гетероструктуры GaN-on-SOI, использованные в расчетах, приведены в табл. 1 и взяты из работ [14, 15]. Конструкция гетероструктуры GaN-on-Si была идентична приведенной в табл. 1, за исключением слоев № 2 и № 3, которые в ней отсутствовали. Как и в [9], считалось, что источником тепла (горячей зоной) является слой двумерного электронного газа, который находится в области расположения затвора GaN транзисторов на границе раздела слоев AlGaN и GaN (см. рис. 2).

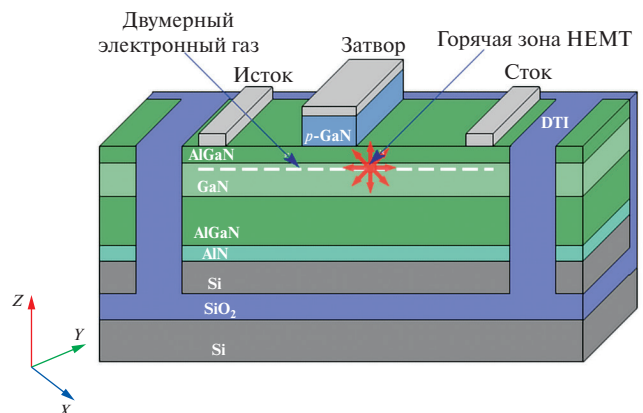


Рис. 2. Поперечное сечение GaN HEMT на основе GaN-on-SOI гетероструктуры с обозначенными направлениями распространения тепла от горячей зоны транзистора.

Таблица 1. Параметры слоев кристалла на основе гетероструктуры GaN-on-SOI, использованные при тепловом моделировании

Материал слоя	Теплопроводность, Вт/(м × К)	Плотность, кг × м ⁻³	Теплоемкость, Дж/(К × кг)	Конструктивный элемент	
Si	148	2330	700	Подложка	Гетероструктура GaN-on-SOI
SiO ₂	1.4	2300	650	Захороненный оксидный слой	
Si	148	2330	700	Отсеченный слой кремния	
AlN	285	3230	748	Зародыше-образующий слой	
AlGaN	39	5 420	733	Буферный слой	
GaN	130	6 150	490	Канальный слой	
AlGaN	30	3 900	689	Барьерный слой	
p-GaN	60	6 150	490	Капсулирующий слой	
Многослойный контакт	—	—	—	Омический контакт	
Многослойный контакт	—	—	—	Металлизация первого уровня	
Многослойный контакт	—	—	—	Металлизация второго уровня	
Многослойный контакт	—	—	—	Контактная площадка	

3. РЕЗУЛЬТАТЫ И ИХ ОБСУЖДЕНИЕ

3.1. Оценка средней тепловой мощности, выделяемой функциональными блоками GaN ИС

В результате моделирования и расчетов средней мощности было установлено, что на верхнем силовом GaN транзисторе полумоста *T1* выделялась мощность 11.18 Вт, на нижнем транзисторе полумоста *T2* — мощность 7.1 Вт, на драйвере верхнего уровня — 151.4 мВт, на драйвере нижнего уровня — 86.5 мВт, а на блоке логики — 33 мВт (см. рис. 1). Общая мощность, выделяемая GaN ИС полумоста (мощность потерь), составила 18.5 Вт. При средней электрической мощности, потребляемой преобразователем в 530.5 Вт, доля потерь в GaN ИС полумоста составила 3.5%.

Из значений средней мощности, выделяемой функциональными блоками GaN ИС, следует, что основным источником тепла в ИС является блок выходных силовых GaN транзисторов. Тепло от выходных силовых GaN НЕМТ распространяется вдоль плоскости кристалла, что приводит к нагреву блоков драйвера верхнего и нижнего

уровней, а также логического блока ИС. Увеличение температуры кристалла ИС должно приводить к изменению электрических характеристик ее функциональных блоков.

3.2. Оценка влияния температуры кристалла на электрические характеристики функциональных блоков GaN ИС

В ходе моделирования электрических характеристик функциональных блоков GaN ИС при различных температурах было установлено, что при росте температуры кристалла ИС от 25 до 150°C:

- сопротивление канала силового транзистора увеличивается с 0.1 до 0.15 Ом, что приводит к падению выходного тока ИС от 16 до 10 А;
- выходной ток драйверов верхнего и нижнего уровней уменьшается с 500 до 270 мА, что увеличивает время открытия транзисторов полумоста от 3.5 до 6.4 нс, а также время закрытия транзисторов от 9.6 до 19.9 нс;
- длительность фронтов нарастания импульса управляющих логических сигналов увеличиваются в 2 раза с 8.2 до 17.6 нс, что приводит

к росту суммарной длительности переходного процесса в ходе открытия и закрытия полумоста.

Таким образом, моделирование показало, что увеличение рабочей температуры GaN ИС полумоста приводит к снижению ее выходного тока, увеличению времени переключения полумоста и ухудшению динамических характеристик драйверов полумоста. Ухудшение всех этих характеристик крайне нежелательно, что обуславливает необходимость оптимизации топологии ИС (положения функциональных блоков ИС) и организации эффективного распределения и отвода тепла от горячей зоны транзисторов.

Известно [25], что использование распределителей тепла в качестве конструктивного элемента кристалла приводит к улучшенному теплоотводу от горячей зоны транзистора и уменьшению его пиковой температуры. В зависимости от преимущественного направления распространения тепла по оси Z используются распределители тепла на лицевой или обратной стороне кристалла. Для определения преимущественного направления распределения тепла была проведена оценка величины удельных тепловых сопротивлений R_{th} для двух направлений распространения тепла вдоль оси Z — от горячей зоны транзистора к лицевой (между слоями 7—12) и к обратной (между слоями 1—6) стороне кристалла.

3.3. Оценка величины удельных тепловых сопротивлений

Результаты расчета величины удельного теплового сопротивления R_{th} между слоями 1—6 (при распространении тепла к обратной стороне кристалла), а также между слоями 7—12 (при распространении тепла к лицевой стороне кристалла) для гетероструктур на основе GaN-on-Si и GaN-on-SOI представлены в табл. 2.

Видно, что величина R_{th} при распространении тепла к обратной стороне кристалла для гетероструктуры GaN-on-SOI на 40% больше по сравнению с гетероструктурой GaN-on-Si. Это обусловлено введением в конструкцию гетероструктуры GaN-on-SOI захороненного слоя диоксида кремния, необходимого для подавления эффекта back-gating. Для гетероструктуры GaN-on-SOI удельное тепловое сопротивление R_{th} при распространении тепла к обратной стороне кристалла почти на два порядка ниже по сравнению с величиной R_{th} при

распространении тепла в сторону лицевой стороны кристалла. Таким образом, можно сделать вывод о том, что для гетероструктуры GaN-on-SOI преимущественным направлением распространения тепла является направление от горячей зоны транзистора к лицевой стороне кристалла. Следовательно, наиболее эффективно располагать распределители тепла и теплоотводящие элементы на лицевой поверхности кристалла.

3.4. Оптимизация топологии ИС

На рис. 3 представлена топология ИС полумоста с драйвером управления и силовыми E-mode HEMT, выполненная на основе гетероструктуры GaN-on-SOI до ее оптимизации [16, 17]. На рис. 4 представлена оптимизированная версия топологии ИС полумоста со схематическим изображением перемещения функциональных блоков GaN ИС, реализованного на основании результатов теплового моделирования.

В целях минимизации эффекта взаимного разогрева положение блока логического управления было изменено и он был размещен между драйвером верхнего и нижнего уровней на максимальном удалении от блока силовых транзисторов, являющегося основным источником нагрева. В целях уменьшения инерционности срабатывания блока защиты от перегрева (предназначен для аварийного отключения питания ИС при достижении температуры 140°C) датчик температуры был вынесен из блока логики и расположен рядом с выходным

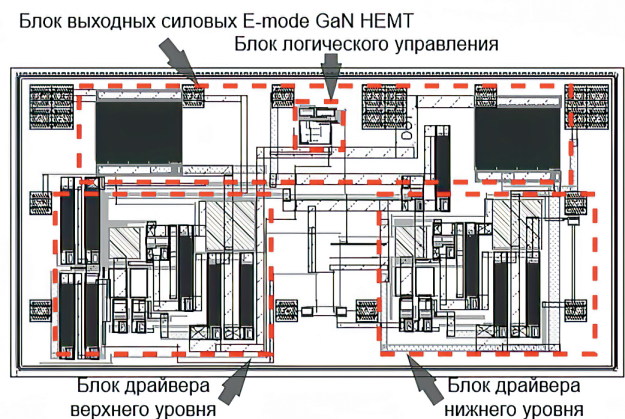


Рис. 3. Топология ИС полумоста с драйвером управления и силовыми транзисторами до оптимизации.

Таблица 2. Результаты расчета удельного теплового сопротивления для двух типов гетероструктур

Показатель	GaN-on-Si	GaN-on-SOI
Удельное тепловое сопротивление R_{th} между слоями 1 и 6 [$\text{м}^2 \times \text{К} / \text{Вт}$]	1.6×10^{-6}	2.7×10^{-6}
Удельное тепловое сопротивление R_{th} между слоями 7 и 12 [$\text{м}^2 \times \text{К} / \text{Вт}$]	5.6×10^{-8}	5.6×10^{-8}

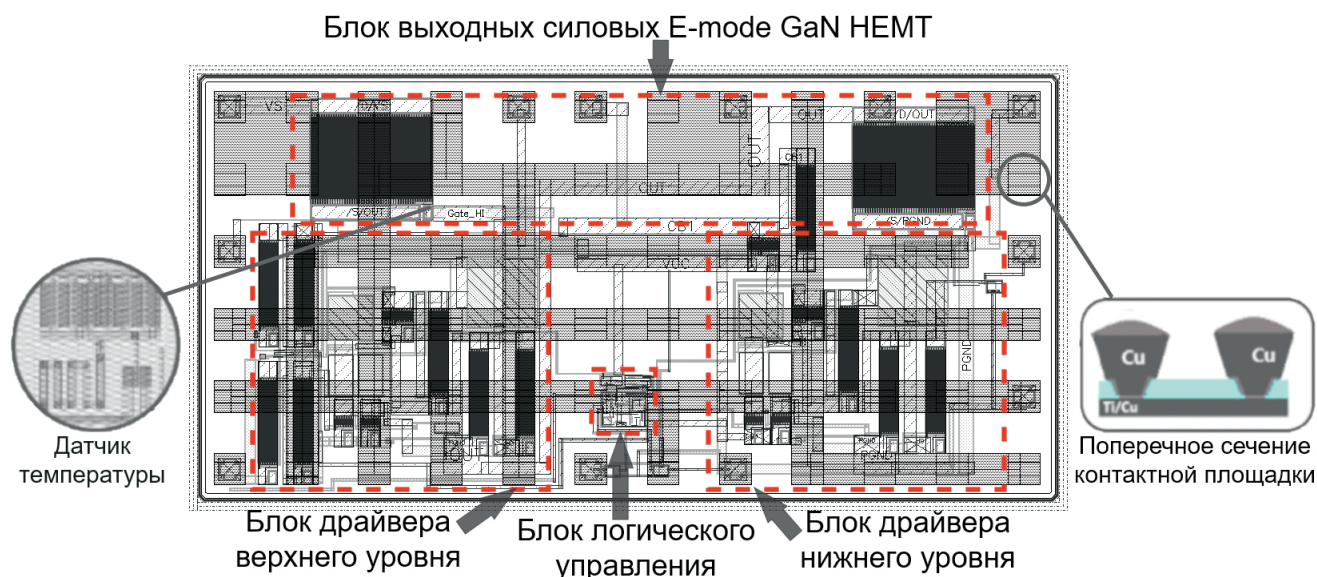


Рис. 4. Топология ИС полумоста с драйвером управления и силовыми транзисторами после оптимизации.

силовым транзистором $T1$, на котором выделяется мощность 11.18 Вт.

Для организации распределения тепла и обеспечения эффективного теплоотвода от горячей зоны транзисторов в сторону лицевой стороны кристалла верхняя его поверхность была равномерно заполнена сеткой из контактных площадок размером 390 мкм с шагом 500 мкм, имеющие четыре теплопроводящих медных бампа (см. рис. 4). Часть данных контактных площадок была соединена с земляной шиной для снижения влияния электромагнитных наводок в ходе эксплуатации ИС в составе преобразователя электрической энергии. Данная конструкция ИС с применением распределителей тепла на лицевой стороне кристалла в виде теплопроводящих медных бампов предназначена для дальнейшего корпусирования по технологии флип-чип (FlipChip).

ЗАКЛЮЧЕНИЕ

В работе выполнено тепловое моделирование GaN ИС полумоста с драйвером управления и силовыми нормально закрытыми E-mode GaN HEMT транзисторами, выполненными на GaN-on-SOI гетероструктуре. Полученные результаты были использованы для оптимизации топологии расположения функциональных блоков GaN ИС, а также для введения дополнительных топологических элементов, способствующих распределению и отводу тепла с лицевой стороны кристалла с применением технологии флип-чип.

ФИНАНСИРОВАНИЕ

Исследование выполнено при финансовой поддержке со стороны ФГБУ “Фонд содействия развитию малых форм предприятий в научно-технической сфере” по грантовому соглашению № 41 ГУРЕК/72791 от 26 декабря 2021 г. Авторы выражают благодарность Центру коллективного проектирования электронной компонентной базы и радиоэлектронной техники Национального исследовательского университета “Московский институт электронной техники” за предоставление доступа к Cadence Virtuoso и вычислительным ресурсам.

КОНФЛИКТ ИНТЕРЕСОВ

Авторы заявляют, что у них нет конфликта интересов.

СПИСОК ЛИТЕРАТУРЫ

1. Fichtenbaum N., Giandalia M., Sharma S., and Zhang J. Half-bridge GaN power ICs: Performance and application // IEEE Power Electronics Magazine. 2017. V. 4. P. 33–40.
2. Roccaforte F., Fiorenza P., Greco G., Nigro R.L., Giannazzo F., Patti A., and Saggio M. Challenges for energy efficient wide band gap semiconductor power devices // Physical status solidi. 2014. V. 211. P. 2063–2071.
3. Flack T.J., Pushpakaran B.N., and Bayne S.B. GaN technology for power electronic applications: a review // Journal of Electronic Materials. 2016. V. 45. P. 2673–2682.

4. *Li X., Van Hove M., Zhao M., Geens K. et al.* 200 V enhancement-mode p-GaN HEMTs fabricated on 200 mm GaN-on-SOI with trench isolation for monolithic integration // IEEE Electron Device Letters. 2017. V. 38. P. 918–921.
5. *Chen H.Y., Kao Y.Y., Zhang Z.Q. et al.* A fully integrated GaN-on-silicon gate driver and GaN switch with temperature-compensated fast turn-on technique for improving reliability // 2021 IEEE International Solid-State Circuits Conference (ISSCC). 2021. V. 64. P. 460–462.
6. Integrated Smart GaNs. Дата обращения: 05.05.2023. <https://www.st.com/en/power-management/integrated-smart-gans.html>
7. *Jiang Q., Tang Z., Zhou C., Yang S., and Chen K.J.* Substrate-coupled cross-talk effects on an AlGaIn/GaN-on-Si smart power IC platform // IEEE Transactions on Electron Devices. 2014. V. 61. P. 3808–3813.
8. *Jones E.A., de Rooij M.* High-power-density GaN-based converters: Thermal management considerations // IEEE Power Electronics Magazine. 2019. V. 6. P. 22–29.
9. *Chvála A., Szobolovszky R., Kovac J. et al.* Advanced characterization techniques and analysis of thermal properties of AlGaIn/GaN multifinger power HEMTs on SiC substrate supported by three-dimensional simulation // Journal of Electronic Packaging. 2019. V. 141. P. 031007-7.
10. *Moench S., Reiner R., Waltereit P. et al.* A 600 V gan-on-si power ic with integrated gate driver, freewheeling diode, temperature and current sensors and auxiliary devices // CIPS 2020 11th International Conference on Integrated Power Electronics Systems. 2020. P. 1–6.
11. *Ma K., Ma K.* Electro-thermal model of power semiconductors dedicated for both case and junction temperature estimation // Power electronics for the next generation wind turbine system. 2015. P. 139–143.
12. *Понескул А.Н.* Теплотехника: методическое пособие, Тирасполь, 2016. 132 с.
13. *Aygun D., Fossion M., Decoutere S. et al.* A Monolithic 200 V GaN Half Bridge IC with Integrated Gate Drivers and Level-shifters Achieving 98.3% Peak Efficiency // 2022 IEEE Applied Power Electronics Conference and Exposition (APEC). 2022. P. 2141–2145.
14. *Magnani A., Cosnier T., Amirifar N. et al.* Thermal characterization of GaN lateral power HEMTs on Si, SOI, and poly-AlN substrates // Microelectronics Reliability. 2021. V. 118. P. 114061–114068. DOI: 10.1016/j.microrel.2021.114061.
15. *Magnani A., Cosnier T., Amirifar N. et al.* Thermal resistance characterization of GaN power HEMTs on Si, SOI, and poly-AlN substrates // 21st International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE). 2020. P. 1–6. DOI: 10.1109/EuroSimE48426.2020.9152656.
16. *Бартенов А.И., Кагадей В.А., Коряковцев А.С., По-лынцев Е.С., Помазанов А.В., Проказина И.Ю., Шерман Ф.И.* Силовая GaN-электроника как фактор роста энергоэффективности преобразователей электрической энергии // Технологии безопасности жизнедеятельности. 2023. С. 91–100.
17. *Polyntsev E.S., Prokazina I.Y., Bartenev A.I., Sogomyants A.A., and Kagadey V.A.* Development of Half-bridge IC with On-chip Drivers and Power e-HEMT Based on GaN-on-SOI Platform // 2022 International Siberian Conference on Control and Communications (SIBCON). 2022. P. 1–4.
18. *Li X., Van Hove M., Zhao M. et al.* Suppression of the backgating effect of enhancement-mode p-GaN HEMTs on 200 mm GaN-on-SOI for monolithic integration // IEEE electron device letters. 2018. V. 39. P. 999–1002.
19. *Milanizadeh M., Aguiar D., Melloni A., and Morichetti F.* Canceling thermal cross-talk effects in photonic integrated circuits // Journal of Lightwave Technology. 2019. V. 37. P. 1325–1332.
20. *Wong K.Y., Chen W., Chen K.J.* Integrated voltage reference and comparator circuits for GaN smart power chip technology // 21st International Symposium on Power Semiconductor Devices & IC's. 2009. P. 57–60.
21. *Бессонов Л.А.* Теоретические основы электротехники. Электрические цепи. М.: ЮРАЙТ. 2002. 638 с.
22. *Górecki K., Zarebski J., Górecki P., and Ptak P.* Compact thermal models of semiconductor devices: A Review. International Journal of Electronics and Telecommunications. 2019. V. 65. P. 151–158.
23. *Chiu H.C., Peng L.Y., Yang C.W. et al.* Analysis of the back-gate effect in normally OFF p-GaN gate high-electron mobility transistor // IEEE Transactions on Electron Devices. 2014. V. 62. P. 507–511.
24. *Mocanu M., Unger C., Pfost M., Waltereit P., and Reiner R.* Thermal stability and failure mechanism of Schottky gate AlGaIn/GaN HEMTs // IEEE Transactions on Electron Devices. 2017. V. 64. P. 848–855.
25. *Abdullah M.F., Hussin M.R.M., Ismail M.A., & Sabli S.K.W.* Chip-level thermal management in GaN HEMT: Critical review on recent patents and inventions // Microelectronic Engineering. 2023. P. 111958–111967.
26. *Li X.* Reliability and Integration of GaN Power Devices and Circuits on GaN-on-SOI, 2020.

Thermal modelling and layout optimization of GaN half-bridge IC with integrated drivers and power HEMTs

© 2024 V. A. Kagadey^{1, 2}, I. Yu. Kodorova^{1, 2, *}, E. S. Polyntsev^{1, 2}

¹JSC NPP "Radar mms", Saint Petersburg, Russia

²National research Tomsk State University, Tomsk, Russia

*E-mail: irina_tusur@mail.ru

The paper presents the results of thermal modeling of a half-bridge monolithic integrated circuit (IC) with integrated drivers and enhanced mode power high electron mobility transistors, based on a GaN-on-SOI heterostructure. It had been established that the main heat sources in the IC were the half-bridge GaN HEMTs. The heat from the half-bridge GaN HEMTs propagates in the chip and leads to heating of the logic block and gate drivers. Heating of half-bridge GaN HEMTs leads to increased channel resistance and IC output current drop. Heating of the gate drivers reduces driving current, as a result, increases the switching time of the half-bridge GaN HEMTs. Heating of the logic block increases the rise and fall times of the generated control signals, which worsens the dynamic characteristics of the IC. A comparative analysis of heat propagation for IC dies based on GaN-on-SOI and GaN-on-Si heterostructures showed that GaN-on-SOI structure has a 40% greater junction-to-backside thermal resistivity compared to GaN-on-Si structure. In this case, the specific thermal resistance in the direction of heat propagation from the hotspot of the transistor to the backside of the die for the GaN-on-SOI structure is almost two orders of magnitude greater than in the direction of its propagation to the frontside of the chip. The results obtained were used for IC layout optimization. The rearrangement of GaN-on-SOI IC functional blocks, as well as to introduction of additional heat-spreading elements on the frontside of chip were carried out during the optimization.

Keywords: power GaN electronics, GaN integrated circuit, E-mode GaN-on-SOI HEMT, thermal modelling, IC layout

REFERENCES

1. Fichtenbaum N., Giandalia M., Sharma S., and Zhang J. Half-bridge GaN power ICs: Performance and application // IEEE Power Electronics Magazine. 2017. V. 4. P. 33–40.
2. Roccaforte F., Fiorenza P., Greco G., Nigro R.L., Giannazzo F., Patti. A., and Saggio M. Challenges for energy efficient wide band gap semiconductor power devices // Physical status solidi. 2014. V. 211. P. 2063–2071.
3. Flack T.J., Pushpakaran B.N., and Bayne S.B. GaN technology for power electronic applications: a review // Journal of Electronic Materials. 2016. V. 45. P. 2673–2682.
4. Li X., Van Hove M., Zha M., Geens K. et al. 200 V enhancement-mode p-GaN HEMTs fabricated on 200 mm GaN-on-SOI with trench isolation for monolithic integration // IEEE Electron Device Letters. 2017. V. 38. P. 918–921.
5. Chen H.Y., Kao Y.Y., Zhang Z.Q. et al. A fully integrated GaN-on-silicon gate driver and GaN switch with temperature-compensated fast turn-on technique for improving reliability // 2021 IEEE International Solid-State Circuits Conference (ISSCC). 2021. V. 64. P. 460–462.
6. Integrated Smart GaNs. Accessed on May 05, 2023 <https://www.st.com/en/power-management/integrated-smart-gans.html>
7. Jiang Q., Tang Z., Zhou C., Yang S., and Chen K.J. Substrate-coupled cross-talk effects on an AlGaIn/GaN-on-Si smart power IC platform // IEEE Transactions on Electron Devices. 2014. V. 61. P. 3808–3813.
8. Jones E.A., de Rooij M. High-power-density GaN-based converters: Thermal management considerations // IEEE Power Electronics Magazine. 2019. V. 6. P. 22–29.
9. Chvála A., Szabolovszky R., Kovac J. et al. Advanced characterization techniques and analysis of thermal properties of AlGaIn/GaN multifinger power HEMTs on SiC substrate supported by three-dimensional simulation // Journal of Electronic Packaging. 2019. V. 141. P. 031007-7.
10. Moench S., Reiner R., Waltereit P. et al. A 600 V gan-on-si power ic with integrated gate driver, freewheeling diode, temperature and current sensors and auxiliary devices // CIPS 2020 11th International Conference on Integrated Power Electronics Systems. 2020. P. 1–6.
11. Ma K., Ma K. Electro-thermal model of power semiconductors dedicated for both case and junction temperature estimation // Power electronics for the next generation wind turbine system. 2015. P. 139–143.
12. Popeskul A.N. Thermophysics: Methodical Manual, Tiraspol, 2016.

13. *Aygün D., Fossion M., Decoutere S. et al.* A Monolithic 200 V GaN Half Bridge IC with Integrated Gate Drivers and Level-shifters Achieving 98.3% Peak Efficiency // 2022 IEEE Applied Power Electronics Conference and Exposition (APEC). 2022. P. 2141—2145.
14. *Magnani A., Cosnier T., Amirifar N. et al.* Thermal characterization of GaN lateral power HEMTs on Si, SOI, and poly-AlN substrates // *Microelectronics Reliability*. 2021. V. 118. P. 114061—114068. DOI: 10.1016/j.microrel.2021.114061.
15. *Magnani A., Cosnier T., Amirifar N. et al.* Thermal resistance characterization of GaN power HEMTs on Si, SOI, and poly-AlN substrates // 21st International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE). 2020. P. 1—6. DOI: 10.1109/EuroSimE48426.2020.9152656.
16. *Bartenev A.I., Kagadey V.A., Koryakovtsev A.S., Polyntsev E.S., Pomazanov A.V., Prokazina I.Y., and Sheerman F.I.* GaN power electronics as a factor in increasing the energy efficiency of electrical energy converters. *Life Safety // Security Technologies*. 2023. V. 1. P. 91—100.
17. *Polyntsev E.S., Prokazina I.Y., Bartenev A.I., Sogomonyants A.A., and Kagadey V.A.* Development of Half-bridge IC with On-chip Drivers and Power e-HEMT Based on GaN-on-SOI Platform // 2022 International Siberian Conference on Control and Communications (SIBCON). 2022. P. 1—4.
18. *Li X., Van Hove M., Zhao M. et al.* Suppression of the backgating effect of enhancement-mode p-GaN HEMTs on 200 mm GaN-on-SOI for monolithic integration // *IEEE electron device letters*. 2018. V. 39. P. 999—1002.
19. *Milanizadeh M., Aguiar D., Melloni A., and Morichetti F.* Canceling thermal cross-talk effects in photonic integrated circuits // *Journal of Lightwave Technology*. 2019. V. 37. P. 1325—1332.
20. *Wong K.Y., Chen W., Chen K.J.* Integrated voltage reference and comparator circuits for GaN smart power chip technology // 21st International Symposium on Power Semiconductor Devices & IC's. 2009. P. 57—60.
21. *Bessonov L.A.* Theoretical foundations of electrical engineering: Electrical circuits, Moscow: Yurait, 2007.
22. *Gorecki K., Zarebski J., Gorecki P., and Ptak P.* Compact thermal models of semiconductor devices: A Review, *International Journal of Electronics and Telecommunications*. 2019. V. 65. P. 151—158.
23. *Chiu H.C., Peng L.Y., Yang C.W. et al.* Analysis of the back-gate effect in normally OFF p-GaN gate high-electron mobility transistor // *IEEE Transactions on Electron Devices*. 2014. V. 62. P. 507—511.
24. *Mocanu M., Unger C., Pfof M., Waltereit P., and Reiner R.* Thermal stability and failure mechanism of Schottky gate AlGaIn/GaN HEMTs // *IEEE Transactions on Electron Devices*. 2017. V. 64. P. 848—855.
25. *Abdullah M.F., Hussin M.R.M., Ismail M.A., & Sabli S.K.W.* Chip-level thermal management in GaN HEMT: Critical review on recent patents and inventions // *Microelectronic Engineering*. 2023. P. 111958—111967.
26. *Li X.* Reliability and Integration of GaN Power Devices and Circuits on GaN-on-SOI, 2020.